

03N0930

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年12月27日

出願番号 Application Number: 特願2002-382381

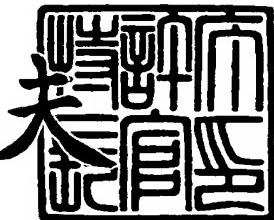
[ST. 10/C]: [JP2002-382381]

出願人 Applicant(s): 株式会社東芝

2003年 7月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3057465

【書類名】 特許願
【整理番号】 A000204078
【提出日】 平成14年12月27日
【あて先】 特許庁長官 殿
【国際特許分類】 H03F 1/00
【発明の名称】 可変時定数回路及びこれを用いたフィルタ回路
【請求項の数】 7
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
【氏名】 黒瀬 大介
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
【氏名】 板倉 哲朗
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】**【識別番号】** 100068814**【弁理士】****【氏名又は名称】** 坪井 淳**【選任した代理人】****【識別番号】** 100092196**【弁理士】****【氏名又は名称】** 橋本 良郎**【選任した代理人】****【識別番号】** 100091351**【弁理士】****【氏名又は名称】** 河野 哲**【選任した代理人】****【識別番号】** 100088683**【弁理士】****【氏名又は名称】** 中村 誠**【選任した代理人】****【識別番号】** 100070437**【弁理士】****【氏名又は名称】** 河井 将次**【手数料の表示】****【予納台帳番号】** 011567**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 可変時定数回路及びこれを用いたフィルタ回路

【特許請求の範囲】

【請求項 1】 増幅器入力端子及び該増幅器入力端子に入力された信号を逆相させて出力する増幅器出力端子を有し、該増幅器出力端子が信号出力端子に接続された反転増幅器と；

信号入力端子と前記増幅器入力端子との間に直列に接続された第 1 及び第 2 の抵抗と；

前記増幅器入力端子と増幅器出力端子との間に接続されたキャパシタと；

第 1 及び第 2 の抵抗の接続点にゲート端子が接続され、ソース端子が定電位点に接続され、ドレイン端子が前記増幅器入力端子に接続された電界効果トランジスタと；

入力される制御信号に従って前記電界効果トランジスタの電圧－電流変換比を制御する制御回路とを具備する可変時定数回路。

【請求項 2】 前記制御回路は、前記制御信号に従って前記第 1 及び第 2 の抵抗の接続点の動作点を制御する請求項 1 に記載の可変時定数回路。

【請求項 3】 正相入力端子、逆相入力端子、逆相出力端子及び正相出力端子を有し、該逆相出力端子及び正相出力端子が第 1 及び第 2 の信号出力端子にそれぞれ接続された反転増幅器と；

第 1 の信号入力端子と前記正相入力端子との間に直列に接続された第 1 及び第 2 の抵抗と；

第 2 の信号入力端子と前記逆相入力端子との間に直列に接続された第 3 及び第 4 の抵抗と；

前記正相入力端子と逆相出力端子との間及び前記逆相入力端子と正相出力端との間にそれぞれ接続された第 1 及び第 2 のキャパシタと；

第 1 及び第 2 の抵抗の接続点にゲート端子が接続され、ソース端子が定電位点に接続され、ドレイン端子が前記正相入力端子及び逆相入力端子のうちの一方に接続された第 1 の電界効果トランジスタと；

第 3 及び第 4 の抵抗の接続点にゲート端子が接続され、ソース端子が前記定電

位点に接続され、ドレン端子が前記正相入力端子及び逆相入力端子のうちの他方に接続された第2の電界効果トランジスタと；

入力される制御信号に従って前記第1及び第2の電界効果トランジスタの電圧－電流変換比を制御する制御回路とを具備する可変時定数回路。

【請求項4】 前記制御回路は、前記制御信号に従って前記第1及び第2の抵抗の接続点と前記第3及び第4の抵抗の接続点の動作点を制御する請求項3に記載の可変時定数回路。

【請求項5】 前記制御回路は、第1の正相入力端子と第1の逆相入力端子を有する第1の差動入力端子対、第2の正相入力端子と第2の逆相入力端子を有する第2の差動入力端子対、及び第1及び第2の正相出力端子を有する増幅器であって、

前記第1及び第2の正相入力端子は前記制御信号が入力される制御入力端子に共通に接続され、前記第1の正相出力端子は前記第1の逆相入力端子に接続されると共に前記第1及び第2の抵抗の接続点に接続され、前記第2の正相出力端子は前記第2の逆相入力端子に接続されると共に前記第3及び第4の抵抗の接続点に接続される請求項3に記載の可変時定数回路。

【請求項6】 前記制御回路は、第1の正相入力端子と第1の逆相入力端子と第1及び第2の正相出力端子を有する第1の差動増幅器と、第2の正相入力端子と第2の逆相入力端子と第3及び第4の正相出力端子を有する第2の差動増幅器とを有し、

前記第1及び第2の正相入力端子は前記制御信号が入力される制御入力端子に共通に接続され、前記第1及び第3の正相出力端子は前記第1の逆相入力端子に接続されると共に前記第1及び第2の抵抗の接続点に接続され、前記第2及び第4の正相出力端子は前記第2の逆相入力端子に接続されると共に前記第3及び第4の抵抗の接続点に接続される請求項3に記載の可変時定数回路。

【請求項7】

請求項1乃至6のいずれか1項に記載の構成を有する複数の可変時定数回路を継続接続してなるフィルタ回路。

【発明の詳細な説明】

【0001】**【発明の属する技術分野】**

本発明は、時定数可変の積分器や遮断周波数可変のフィルタなどの可変時定数回路に係り、特に電界効果トランジスタを用いた可変時定数回路に関する。

【0002】**【従来の技術】**

アクティブフィルタの伝達特性、例えば遮断周波数を可変するには、フィルタに含まれる時定数回路の時定数を変化させることが必要である。このために、三極管領域での電界効果トランジスタのドレインーソース間（オン抵抗）を可変時定数回路の可変抵抗として用い、トランジスタのゲート電圧を制御することで時定数を変える方法が知られている（例えば、特許文献1参照）。特許文献1に示では、ゲート電圧を異ならせた複数のFET（電界効果トランジスタ）を用いて奇数次の歪みをキャンセルする可変抵抗回路網を開示している。

【0003】**【特許文献1】**

米国特許第4,710,726号明細書

【0004】**【発明が解決しようとする課題】**

特許文献1のように、FETのオン抵抗そのものを可変抵抗として用いる回路では、FETのドレインーソースが信号源に直列に接続される。従って、電源電圧が低くなってくると、FETのゲートーソース間電圧を十分大きくとることができなくなり、結果的にFETがオンしなくなる。このように従来の可変時定数回路では、低電源電圧下では可変抵抗として用いられるFETがオン状態にならず、積分器やフィルタとしての動作ができなくなるという問題がある。

【0005】

従って、本発明は低電源電圧下においても正常に動作できる可変時定数回路を提供することを目的とする。

【0006】**【課題を解決するための手段】**

上記課題を解決するため、本発明の一つの観点によると、増幅器入力端子及び該増幅器入力端子に入力された信号を逆相させて出力する増幅器出力端子を有し、該増幅器出力端子が信号出力端子に接続された反転増幅器と、信号入力端子と増幅器入力端子との間に直列に接続された第1及び第2の抵抗と、増幅器入力端子と増幅器出力端子との間に接続されたキャパシタと、第1及び第2の抵抗の接続点にゲート端子が接続され、ソース端子が定電位点に接続され、ドレイン端子が増幅器入力端子に接続された電界効果トランジスタと、入力される制御信号に従って電界効果トランジスタの電圧-電流変換比を制御する制御回路とを具備する可変時定数回路が提供される。制御回路は、例えば制御信号に従って第1及び第2の抵抗の接続点の動作点を制御するように構成される。反転増幅器の増幅器入力端子及び増幅器出力端子は複数個あってもよく、信号入力端子及び信号出力端子も複数個あってもよい。

【0007】

本発明の他の観点によると、正相入力端子、逆相入力端子、逆相出力端子及び正相出力端子を有し、該逆相出力端子及び正相出力端子が第1及び第2の信号出力端子にそれぞれ接続された反転増幅器と、第1の信号入力端子と正相入力端子との間に直列に接続された第1及び第2の抵抗と、第2の信号入力端子と逆相入力端子との間に直列に接続された第3及び第4の抵抗と、正相入力端子と逆相出力端子との間及び逆相入力端子と正相出力端との間にそれぞれ接続された第1及び第2のキャパシタと、第1及び第2の抵抗の接続点にゲート端子が接続され、ソース端子が定電位点に接続され、ドレイン端子が正相入力端子及び逆相入力端子のうちの一方に接続された第1の電界効果トランジスタと、第3及び第4の抵抗の接続点にゲート端子が接続され、ソース端子が定電位点に接続され、ドレン端子が正相入力端子及び逆相入力端子のうちの他方に接続された第2の電界効果トランジスタと、入力される制御信号に従って第1及び第2の電界効果トランジスタの電圧-電流変換比を制御する制御回路とを具備する可変時定数回路が提供される。制御回路は、例えば制御信号に従って第1及び第2の抵抗の接続点と第3及び第4の抵抗の接続点の動作点を制御するように構成される。

【0008】

さらに、本発明の第3の観点によれば、第1または第2の観点による上述した複数の可変時定数回路を継続接続して構成される高次のフィルタ回路を提供することができる。

【0009】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

(第1の実施形態)

図1は、本発明の第1の実施形態に係る可変時定数回路を示している。この可変時定数回路は、積分時定数が可変の積分器、または遮断周波数が可変の1次のフィルタ回路として機能する。本実施形態では、差動型の可変時定数回路を例にとって説明する。

【0010】

図1において、第1及び第2の信号入力端子10A, 10B（正相信号入力端子及び逆相信号入力端子）には、差動入力信号であるV_{in+}（正相入力信号）及びV_{in-}（逆相入力信号）が入力される。信号入力端子10A, 10Bには抵抗11, 13の一端がそれぞれ接続され、抵抗11, 13の他端には抵抗12, 14の一端がそれぞれ接続される。抵抗12, 14の他端は、差動動入力・差動出力型の反転増幅器15の正相入力端子（非反転入力端子ともいう）及び逆相入力端子（反転入力端子ともいう）にそれぞれ接続される。すなわち、信号入力端子10Aと反転増幅器15の正相入力端子との間に抵抗11, 12が直列に接続され、信号入力端子10Bと反転増幅器15の逆相入力端子との間に抵抗13, 14が直列に接続される。

【0011】

反転増幅器15の正相入力端子と逆相出力端子（反転出力端子ともいう）との間、及び逆相入力端子と正相出力端子（非反転出力端子ともいう）との間に、それぞれ積分用のキャパシタ16, 17が接続される。反転増幅器15の逆相出力端子及び正相出力端子は、信号出力端子18A, 18Bにそれぞれ接続される。信号出力端子18A, 18Bからは、差動入力信号V_{in+}, V_{in-}を積分あるいはフィルタリングした差動出力信号であるV_{out+}（正相出力信号）及びV_{out-}（逆

相出力信号) が出力される。

【0012】

抵抗11, 12の接続点及び抵抗13, 14の接続点に、FET21, 22のゲート端子がそれぞれ接続される。FET21のドレイン端子は反転増幅器15の正相入力端子に接続され、FET22のドレイン端子は反転増幅器15の逆相入力端子に接続される。FET21, 22のソース端子は定電位点、この例ではグラウンドに接続される。

【0013】

抵抗11, 12の接続点及び抵抗13, 14の接続点、すなわちFET21, 22のゲート端子には、制御回路23の二つの制御出力端子がそれぞれ接続される。制御回路23は、可変時定数回路の外部から一つの制御入力端子に与えられる制御信号Vcntに従って、FET21, 22のゲートバイアス電圧を制御することにより、FET21, 22の電圧-電流変換比(gm)を制御する。本実施形態では、制御信号Vcntは電圧信号であるので、以下制御電圧という。

【0014】

反転増幅器15に関しては、制御電圧Vcntの変化でFET21, 22のゲート間にかかる差動信号電圧が変わらないように、外部から同相電圧を与える構成の回路構成が好ましい。本出願人が先に出願した特願2001-331805“平衡型増幅器及びこれを用いたフィルタ”には、低電圧動作を可能とし、外部から同相電圧を固定する平衡型増幅器の回路構成が開示されており、この平衡型増幅器を反転増幅器15として好適に利用できる。勿論、他の構成の反転増幅器も使用できる。

【0015】

本実施形態の可変時定数回路では、制御電圧Vcntに従って制御回路23によりFET21, 22のゲートバイアス電圧を変化させることで、キャパシタ16, 17からFET21, 22のドレインに流れ込む電流を変化させる。これによって、キャパシタ16, 17の容量と共に時定数を決定する抵抗値を変化させ、時定数の可変を実現する。時定数の可変によって、可変時定数回路が積分器である場合は積分時定数が変化し、フィルタである場合は遮断周波数が変化する。

【0016】

以下、本実施形態における時定数可変動作を詳細に説明する。

可変時定数回路の時定数は、信号入力端子10A, 10Bと反転増幅器15の正相入力端子及び逆相出力端子との間の抵抗値（Rとする）とキャパシタ16, 17の容量（Cとする）との積によって決定される。本実施形態では、制御電圧V_{cnt}に従って制御回路23が抵抗11, 12の接続点及び抵抗13, 14の接続点の動作点、すなわちFET21, 22のゲートバイアス電圧を制御することによって、抵抗値Rを変化させることができる。

【0017】

すなわち、制御回路23は後述するようにボルテージフォロワによって構成されており、与えられる制御電圧V_{cnt}と同一の電圧をFET21, 22のゲート端子に供給する。これにより制御電圧V_{cnt}に従ってFET21, 22のg_mが変化するため、キャパシタ16, 17に流れる電流が変化し、抵抗12, 14の抵抗値が見かけ上、変化する。

【0018】

例えば、制御電圧V_{cnt}が大きくなれば、FET21, 22のg_mが増加し、キャパシタ16, 17に流れる電流が減少するため、抵抗12, 14の抵抗値は見かけ上、大きくなる。これにより回路の時定数が変化する。数式で説明すると、FET21, 22に流れ込むドレイン電流I_{d1}, I_{d2}は、以下のように表される。

【0019】

【数1】

$$\begin{aligned} I_{d1} &= k'(V_{GS1} - V_{th})^2 = k'(v_1 - V_{CNT} - V_{th})^2 \\ I_{d2} &= k'(V_{GS2} - V_{th})^2 = k'(v_2 - V_{CNT} - V_{th})^2 \quad (1) \end{aligned}$$

【0020】

ここで、k'は伝達コンダクタンス・パラメータ、V_{GS1}, V_{GS2}はFET21, 22のゲート-ソース間電圧、V_{th}は閾値電圧、v₁, v₂はFET21, 22のゲート端子上で差動入力信号V_{in+}, V_{in-}の変化分である。FET21, 22

2のゲート－ソース間電圧 V_{GS1} , V_{GS2} は、制御電圧 V_{cnt} を中心として v_1 , v_2 の振幅で変化することになる。本実施形態の可変時定数回路は差動型構成となっているので、差動で見たときのFET 21, 22の g_m は、 $v_2 = -v_1$ から以下のようになる。

【0021】

【数2】

$$gm = 4k'(V_{cnt} - V_{th}) \quad (2)$$

【0022】

式(2)より、制御電圧 V_{cnt} に従って g_m が変化することが分かる。このように本実施形態によれば、制御電圧 V_{cnt} に従ってFET 21, 22の g_m を変化させることにより時定数が変化する可変時定数回路を実現できる。

【0023】

先に挙げた特許文献1（米国特許第4, 710, 726号明細書）の回路においては、FETのオン抵抗を可変抵抗として用い、FETのドレイン－ソースを信号源に直列に接続しているため、低電源電圧下ではFETがオン状態になることができず、正常な動作が保証されないという問題がある。これに対し、本実施形態ではFET 21, 22のゲート端子が抵抗11, 13をそれぞれ介して信号入力端子10A, 10Bに接続され、ソース端子が定電位点（例えば、グラウンド）に接続されているため、電源電圧が低くともFET 21, 22はオン状態となり、可変時定数回路は正常に動作することができる。

【0024】

さらに、本実施形態の可変時定数回路は差動型構成となっているため、FET 21, 22で発生する偶数次の歪のみならず、奇数次の歪もキャンセルされ、低歪特性が得られる。

【0025】

上述した実施形態では、差動型の可変時定数回路について述べたが、単相型の可変時定数回路にも同様に本発明を適用できる。単相型の可変時定数回路は、図1の上半分または下半分の構成で実現することが可能である。例えば、上半分の

構成による可変時定数回路は、信号入力端子10A、抵抗11、12、反転増幅器15、キャパシタ16、信号出力端子18A、FET21及び制御回路23のみで構成される。その場合、反転増幅器15は通常の1入力・1出力の構成でよい。制御回路23については、抵抗11、12の接続点に接続されない方の端子を定電位点、例えばグラウンドに接続すればよい。

【0026】

(第2の実施形態)

図2に、本発明の第2の実施形態に係る可変時定数回路を示す。図1に示した第1の実施形態とは、FET21、22のドレイン端子の接続をクロスさせた点が異なる。すなわち、本実施形態の可変時定数回路では、FET21のドレイン端子は反転増幅器15の逆相入力端子に接続され、FET22のドレイン端子は反転増幅器15の正相入力端子に接続される。

【0027】

本実施形態によると、第1の実施形態とは逆に差動入力信号V_{in+}、V_{in-}の電圧及び制御電圧V_{cnt}の増加に対して、キャパシタ16、17に流れる電流が増加し、信号入力端子10A、10Bと反転増幅器15の正相入力端子及び逆相出力端子との間の抵抗値Rは減少する。従って、本実施形態によっても制御電圧V_{cnt}によりFET21、22のg_mを変化させて回路の時定数を可変することができる。

【0028】

(制御回路について)

次に、制御回路23について具体的に説明する。図3に、制御回路23の概略構成を示す。図3の制御回路23は、第1の正相入力端子と第1の逆相入力端子を有する第1の差動入力端子対、第2の正相入力端子と第2の逆相入力端子を有する第2の差動入力端子対、そして第1及び第2の正相出力端子を有する増幅器30によって構成される。

【0029】

第1及び第2の正相入力端子は、制御電圧V_{cnt}信号が入力される制御入力端子31に共通に接続される。第1の正相出力端子は、第1の逆相入力端子に接続

されると共に、第1の制御出力端子32を介して図1中の抵抗11，12の接続点及びFET21のゲート端子に接続される。第2の正相出力端子は、第2の逆相入力端子に接続されると共に、第2の制御出力端子33を介して図1中の抵抗13，14の接続点及びFET22のゲート端子に接続される。

【0030】

この制御回路23は、同相で見ると制御電圧Vcntが増幅器30の2つの正相出力端子に出力されるボルテージフォロワの構成となっている。従って、出力インピーダンスは低いので、増幅器30の利得が十分に高ければ制御出力端子32，33側を見るとオーブン状態となる。差動で見ると、制御電圧VcntはそのままFET21，22のゲート端子間に印加される。

【0031】

図4は、図3の増幅器30をさらに詳しく示している。図4の回路では、差動入力端子対及び正相出力端子対をそれぞれ有する二つの増幅器41，42の各々の正相出力端子対を相互に接続している。すなわち、図4の制御回路23は第1の正相入力端子と第1の逆相入力端子と第1及び第2の正相出力端子を有する第1の差動増幅器41と、第2の正相入力端子と第2の逆相入力端子と第3及び第4の正相出力端子を有する第2の差動増幅器42からなる。

【0032】

第1及び第2の正相入力端子は、制御入力端子31に共通に接続される。第1及び第3の正相出力端子は、第1の逆相入力端子に接続されると共に、第1の制御出力端子32を介して図1中の抵抗11，12の接続点に接続される。第2及び第4の正相出力端子は、第2の逆相入力端子に接続されると共に、第2の制御出力端子33を介して図1中の抵抗13，14の接続点に接続される。

【0033】

図5には、図4に示した二つの差動増幅器41，42の一つの具体的な回路例を示す。図5の回路は、ソース接地トランジスタが電流源で折り返された構成を有する。すなわち、トランジスタM1，M2，M3はソース接地トランジスタであり、トランジスタM1のゲート端子は正相入力端子In+となり、トランジスタM2，M3のゲート端子は共通に接続されて逆相入力端子In-となる。トランジ

スタM4, M5, M6は、カレントミラー回路を形成する。

【0034】

トランジスタM1のドレイン端子は、カレントミラー回路の電流入力端であるトランジスタM4のゲート端子とドレイン端子に接続される。トランジスタM2, M3のドレイン端子は、カレントミラー回路の電流出力端であるトランジスタM5, M6のドレイン端子にそれぞれ接続される。トランジスタM2, M3のドレイン端子は、二つの正相出力端子Out1+, Out2+となる。

【0035】

図6に、図5の差動増幅器を用いて図4に示す制御回路23を実現した回路例を示す。図4に示す制御回路23では、二つの差動増幅器41, 42の正相入力端子は制御入力端子31に共通に接続されているので、図6に示すように正相入力側の回路を共通にして簡単化することができる。図6において、トランジスタM11は図5のトランジスタM1に対応し、トランジスタM14は図5のトランジスタM4に対応する。図4の二つの差動増幅器41, 42の共通の正相入力端子が制御入力端子31に接続されるため、トランジスタM11, M14は二つの差動増幅器41, 42で共通に用いられる。

【0036】

図6において、トランジスタM12, M22は図5のトランジスタM2に対応し、トランジスタM13, M23は図5のトランジスタM3に対応し、トランジスタM15, M25は図5のトランジスタM5に対応し、トランジスタM16, M26は図5のトランジスタM6に対応している。これらのトランジスタM12, M13, M15, M16及びM22, M23, M25, M26は、二つの差動増幅器41, 42でそれぞれ個別に設けられる。

【0037】

(第3の実施形態)

図7に、第1の実施形態で説明した可変時定数回路を2次のバイカッドフィルタに適用した実施形態を示す。二つの可変時定数回路51, 52が縦続接続されており、1段目の可変時定数回路51には図1中のキャパシタ16, 17に相当するキャパシタに並列に接続された抵抗53, 54が追加されている。2段目の

可変時定数回路52の出力から、1段目51の可変時定数回路51に帰還が施されている。信号入力端子50A, 50Bに入力された差動入力信号は、可変時定数回路51, 52を通って信号出力端子58A, 58Bから出力される。

【0038】

このような高次のフィルタ回路においても、可変時定数回路51, 52の時定数を各々に与えられる制御電圧Vcnt1, Vcnt2によって変化させることにより、遮断周波数の可変ができる。本実施形態では、バイカッドフィルタを例に示したが、他の種々のアクティブフィルタにも先に説明した可変時定数回路を適用することが可能である。

【0039】

【発明の効果】

以上説明したように、本発明によれば低電源電圧下でも正常に動作する可変時定数回路、すなわち遮断周波数が可変の1次のフィルタ回路または積分時定数が可変の積分器、あるいは遮断周波数が可変の高次のフィルタ回路を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る可変時定数回路の回路図

【図2】本発明の第2の実施形態に係る可変時定数回路の回路図

【図3】図1及び図2の可変時定数回路における制御回路の概略構成を示すブロック図

【図4】図3の制御回路をより詳しく示すブロック図

【図5】図4の制御回路に含まれる一つの差動増幅器の具体的な回路例を示す図

【図6】図5の差動増幅器を用いて図4の制御回路を実現した例を示す回路例を示す図

【図7】本発明の第3の実施形態に係るフィルタ回路の回路図

【符号の説明】

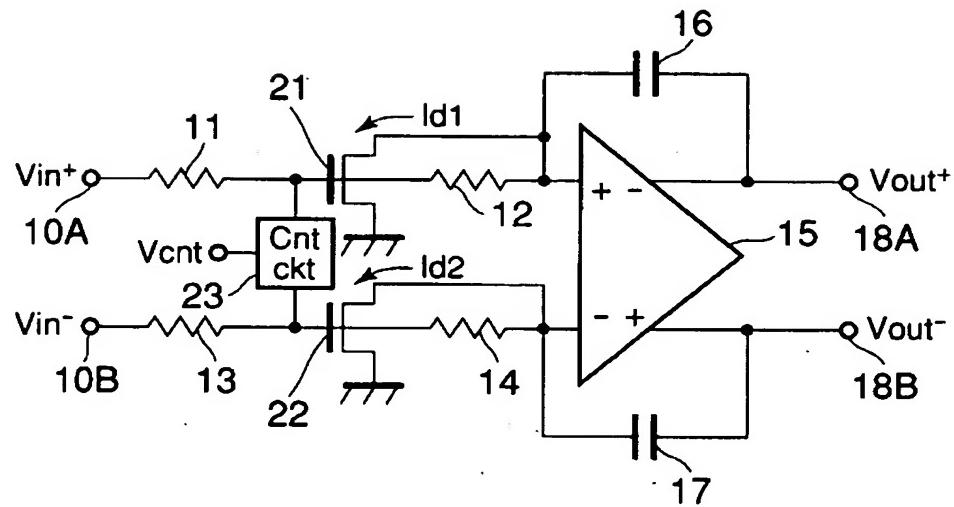
10A, 10B…第1及び第2の信号入力端子、11～14…第1乃至第4の抵抗、15…反転増幅器、16, 17…第1及び第2のキャパシタ、18A, 1

8 B…第1及び第2の信号出力端子、21, 22…第1及び第2の電界効果トランジスタ、23…制御回路、31…制御入力端子、32, 33…第1及び第2の制御出力端子、50A, 50B…第1及び第2の信号入力端子、51, 52…可変時定数回路、58A, 58B…第1及び第2の信号出力端子。

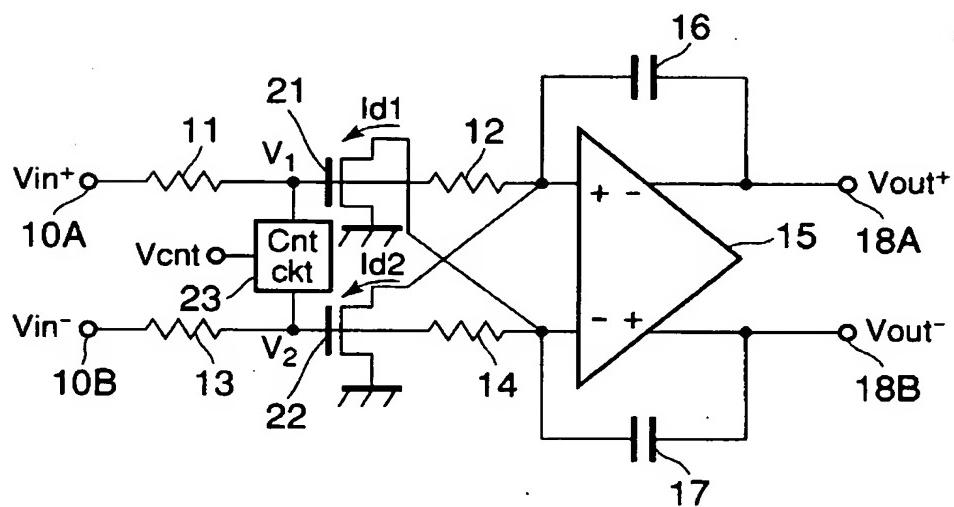
【書類名】

四面

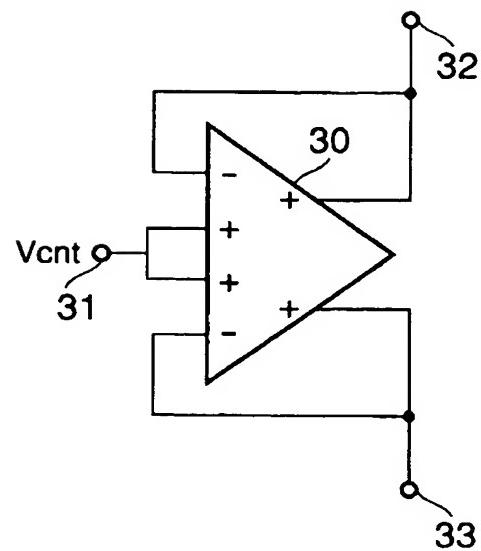
【図1】



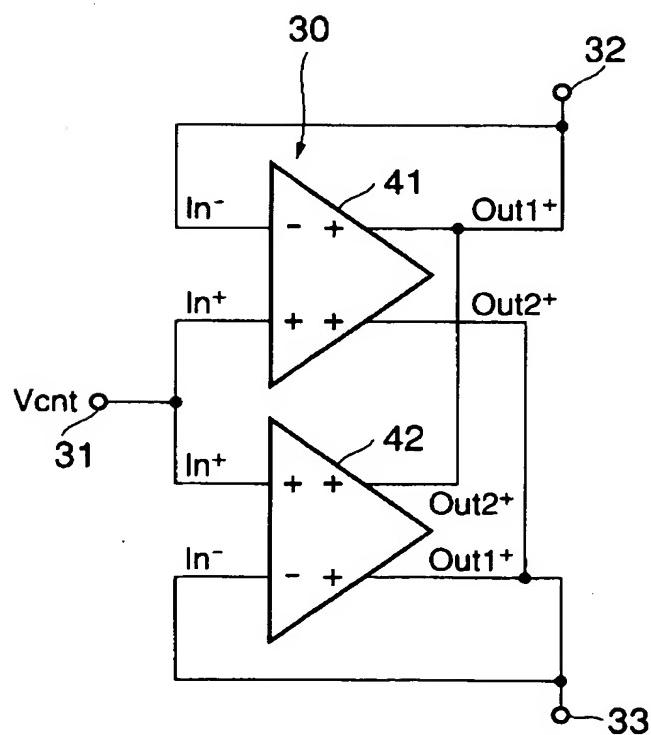
【図2】



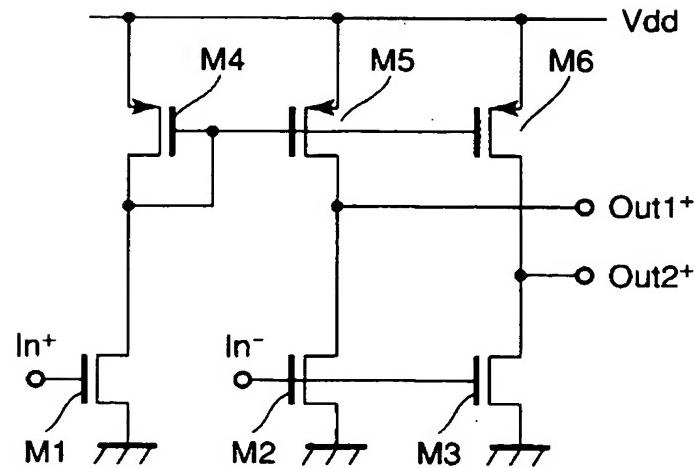
【図3】



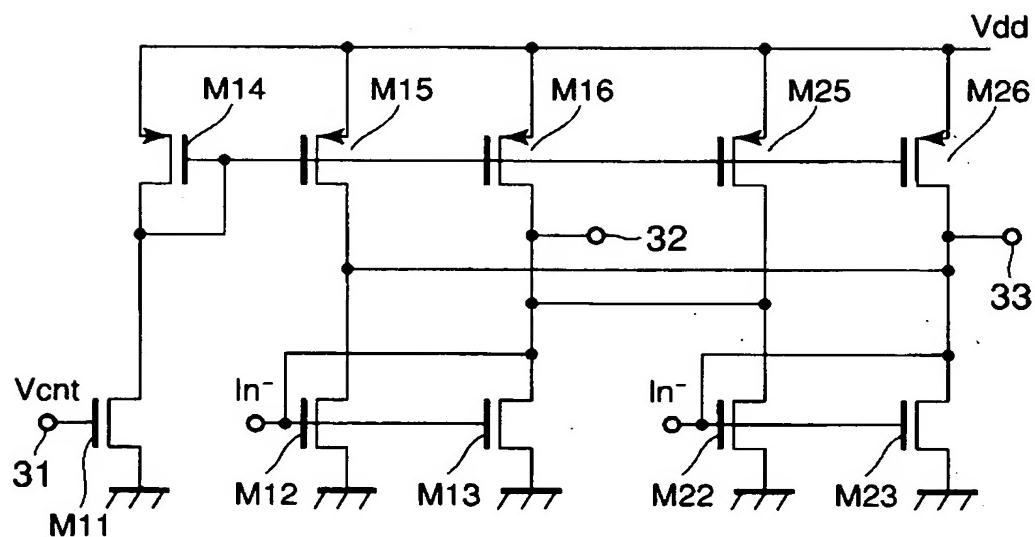
【図4】



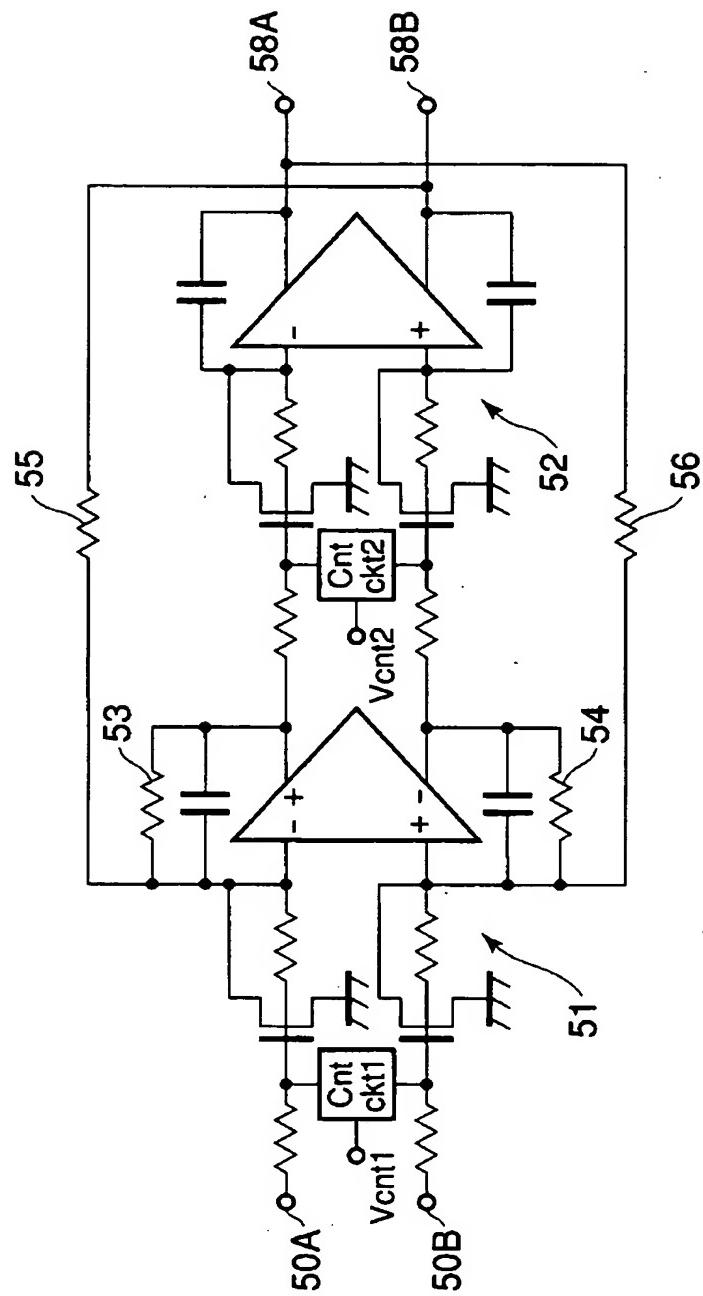
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 電源電圧下においても正常に動作できる可変時定数回路を提供する。

【解決手段】 信号入力端子 10A, 10B と反転増幅器 15 の正相入力端子及び逆相入力端子との間にそれぞれ二つの抵抗 11, 12 及び 13, 14 を接続し、正相入力端子と逆相出力端子との間及び逆相入力端子と正相出力端との間にキャパシタ 16, 17 をそれぞれ接続した回路において、抵抗 11, 12 の接続点及び抵抗 13, 14 の接続点にゲート端子がそれぞれ接続され、ソース端子が定電位点に接続され、ドレイン端子が正相入力端子及び逆相入力端子にそれぞれ接続された第 1 の電界効果トランジスタ 21, 22 と制御回路 23 を有し、制御会 23 によって制御電圧 V_{cnt} に従って電界効果トランジスタ 21, 22 の電圧-電流変換比を制御することにより時定数を可変とする。

【選択図】 図 1

特願2002-382381

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住 所 变更
氏 名 東京都港区芝浦一丁目1番1号
株式会社東芝